

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant: Yuuichi HOTTA

Serial No. Not yet assigned Group Art Unit: Not yet assigned

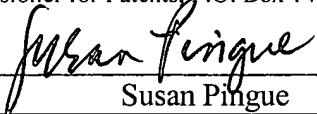
Filed: April 14, 2004 Examiner: Not yet assigned

Title: INPUT/OUTPUT CIRCUIT AND SEMICONDUCTOR INTEGRATED CIRCUIT

EXPRESS MAIL NUMBER: EV 302280584 US

DATE OF DEPOSIT: April 14, 2004

I hereby certify that this paper is being deposited with the United States Postal Service "EXPRESS MAIL Post Office to Addressee" service under 37 CFR 1.10 on the date indicated above and is addressed to: Mail Stop PATENT APPLICATION, Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313.



Susan Pingue

* * *

REQUEST FOR PRIORITY UNDER 35 U.S.C. 119
AND THE INTERNATIONAL CONVENTION

Assistant Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313

Sir:

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NO.</u>	<u>MONTH/DAY/YEAR</u>
Japan	P2003-124285	April 28, 2003

A Certified copy of the corresponding Convention Application is being submitted herewith.

Respectfully submitted,

GRAY CARY WARE & FREIDENRICH LLP

Dated: April 14, 2004

By *Edward B. Weller*
Edward B. Weller
Reg. No. 37,468
Attorney for Applicant

GRAY CARY WARE & FREIDENRICH
2000 University Avenue
East Palo Alto, CA 94303
Telephone: (650) 833-2436
Facsimile: (650) 833-2001

JAPAN PATENT OFFICE

This is to certify that the annexed is a true copy of the following application as filed with this Office.

Date of Application: April 28, 2003

Application Number: Patent Application
No. 2003-124285

Applicant(s): KABUSHIKI KAISHA TOSHIBA

December 3, 2003

Commissioner,
Japan Patent Office Yasuo IMAI
Number of Certificate: 2003-3099829

5-961

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 Date of Application: 2003年 4月28日

出願番号 Application Number: 特願2003-124285

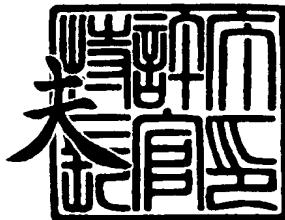
[ST. 10/C]: [JP2003-124285]

出願人 Applicant(s): 株式会社東芝

2003年12月 3日

特許庁長官
Commissioner,
Japan Patent Office

今井康



【書類名】

特許願

【整理番号】

ASB029051

【提出日】

平成15年 4月28日

【あて先】

特許庁長官殿

【国際特許分類】

G01R 31/28

H01L 27/04

【発明の名称】

入出力回路及び半導体集積回路

【請求項の数】

12

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝
マイクロエレクトロニクスセンター内

【氏名】 堀田 雄一

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

【代理人】

【識別番号】 100083806

【弁理士】

【氏名又は名称】 三好 秀和

【電話番号】 03-3504-3075

【選任した代理人】

【識別番号】 100068342

【弁理士】

【氏名又は名称】 三好 保男

【選任した代理人】

【識別番号】 100100712

【弁理士】

【氏名又は名称】 岩▲崎▼ 幸邦

【選任した代理人】

【識別番号】 100100929

【弁理士】

【氏名又は名称】 川又 澄雄

【選任した代理人】

【識別番号】 100108707

【弁理士】

【氏名又は名称】 中村 友之

【選任した代理人】

【識別番号】 100095500

【弁理士】

【氏名又は名称】 伊藤 正和

【選任した代理人】

【識別番号】 100101247

【弁理士】

【氏名又は名称】 高橋 俊一

【選任した代理人】

【識別番号】 100098327

【弁理士】

【氏名又は名称】 高松 俊雄

【手数料の表示】

【予納台帳番号】 001982

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 入出力回路及び半導体集積回路

【特許請求の範囲】

【請求項 1】 基準クロックを発生させる基準クロック発生回路と、前記基準クロック及びテストクロックのいずれかと同期してシリアルデータを送信する信号送信部と、

前記基準クロックと同期して前記シリアルデータから変換信号を生成する信号受信部と、

前記信号送信部が前記テストクロックと同期時において、前記変換信号の位相と前記テストクロックの位相との位相誤差を検出するテスト回路

とを備えることを特徴とする入出力回路。

【請求項 2】 前記信号受信部は、前記シリアルデータをバッファリングするレシーバと、バッファリングされた前記シリアルデータ及び前記基準クロックに基づいて再生クロックを生成するクロック再生回路とを備えることを特徴とする請求項 1 に記載の入出力回路。

【請求項 3】 前記テスト回路は、前記テストクロック及び前記基準クロックのいずれかを前記信号送信部に供給するセレクタを備えることを特徴とする請求項 1 に記載の入出力回路。

【請求項 4】 前記テスト回路は、前記テストクロックを生成するテストクロック生成回路を備えることを特徴とする請求項 1 に記載の入出力回路。

【請求項 5】 前記テスト回路は、前記再生クロックを前記変換信号として前記テストクロックと比較するクロック比較回路を備えることを特徴とする請求項 2 に記載の入出力回路。

【請求項 6】 前記クロック比較回路は、
n を 2 以上の整数として、前記再生クロックを一定時間遅延させて第 1 ~ 第 n の遅延信号を生成する遅延回路部と、

前記第 1 ~ 第 n の遅延信号を前記テストクロックと同期してラッチして第 1 ~ 第 n のラッチ信号を生成するラッチ回路部と、

前記第 n ラッチ信号及び前記第 (n-1) ラッチ信号を排他的論理和演算して誤差検出信号を生成する排他的論理和回路部と、

前記誤差検出信号を前記テストクロックと同期してカウントするカウンタ部とを備えることを特徴とする請求項 5 に記載の入出力回路。

【請求項 7】 前記受信回路部は、バッファリングされた前記シリアルデータを前記再生クロックと同期してパラレルデータに変換するシリアル／パラレル変換器を備えることを特徴とする請求項 2 に記載の入出力回路。

【請求項 8】 前記テスト回路は、前記パラレルデータを前記変換信号として前記テストクロックと比較するクロック比較回路を備えることを特徴とする請求項 7 に記載の入出力回路。

【請求項 9】 前記クロック比較回路は、

n を 2 以上の整数として、前記パラレルデータを一定時間遅延させて第 1 ~ 第 n の遅延信号を生成する遅延回路部と、

前記第 1 ~ 第 n 遅延信号を前記テストクロックと同期してラッチして第 1 ~ 第 n ラッチ信号を生成するラッチ回路部と、

前記第 n ラッチ信号及び前記第 (n-1) ラッチ信号を排他的論理和演算して誤差検出信号を生成する排他的論理和回路部と、

前記誤差検出信号を前記テストクロックと同期してカウントするカウンタ部とを備えることを特徴とする請求項 8 に記載の入出力回路。

【請求項 10】 テストクロックと同期してシリアルデータを送信し、前記シリアルデータから変換信号を生成し、前記変換信号の位相と前記テストクロックの位相との位相誤差を検出する入出力回路と、

該入出力回路を介して外部と信号を送受信する内部回路とを備えることを特徴とする半導体集積回路。

【請求項 11】 前記入出力回路は、

基準クロックを発生させる基準クロック発生回路と、

前記基準クロック及び前記テストクロックのいずれかと同期して前記シリアルデータを送信する信号送信部と、

前記基準クロックと同期して前記シリアルデータから前記変換信号を生成する

信号受信部と、

前記信号送信部が前記テストクロックと同期時において、前記位相誤差を検出するテスト回路

とを備えることを特徴とする請求項10に記載の半導体集積回路。

【請求項12】 前記テストクロックは、前記内部回路により供給されることを特長とする請求項10に記載の半導体集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、自己テスト機能を有する入出力回路及び半導体集積回路に関する。

【0002】

【従来の技術】

ポートを介してデータの送受信を行う入出力回路においては、データと同期信号としてのクロック信号とを送受信する方式が知られている。データ及びクロック信号を送受信する方式は、転送レートが高速となるとデータの位相とクロック信号の位相とに互いにズレが生じる。この為、転送レートが高速の場合は、データのみを送受信する方式が用いられる。また、データの送受信を行う入出力回路を搭載した半導体集積回路をテストする際、出力端子からの送信データを入力端子に帰還して入出力回路のテストを行う「ループバックテスト」が知られている（例えば、特許文献1参照。）。更に、半導体集積回路内部にテスト回路を組み込む「組み込み自己テスト（BIST）」手法が注目されている（例えば、特許文献2参照。）。

【0003】

【特許文献1】

特開平10-170606号公報

【0004】

【特許文献2】

特開2001-343425号公報

【0005】

【発明が解決しようとする課題】

上述したループバックテストにおいては、一定時間送信データを入力端子に供給し、エラーが発生するか否かをテストする。信号受信部の保証値は 10^{-12} 以下のエラーレートである。テストを行う際、例えば 3.2 [Gbps] のビットレートで 10^{12} ビットのデータを転送するには 5 分以上の時間が必要となる。このように、テスト時間の増大に起因して半導体集積回路の検査効率の低下が生じている。

【0006】

上記問題点を鑑み、本発明は、短時間で自己テストを実行可能な入出力回路及び半導体集積回路を提供することを目的とする。

【0007】

【課題を解決するための手段】

上記目的を達成する為に、本発明の第 1 の特徴は、(イ) 基準クロックを発生させる基準クロック発生回路；(ロ) 基準クロック及びテストクロックのいずれかと同期してシリアルデータを送信する信号送信部；(ハ) 基準クロックと同期してシリアルデータから変換信号を生成する信号受信部；(ニ) 信号送信部がテストクロックと同期時において、変換信号の位相とテストクロックの位相との位相誤差を検出するテスト回路を備える入出力回路であることを要旨とする。

【0008】

本発明の第 2 の特徴は、(イ) テストクロックと同期してシリアルデータを送信し、シリアルデータから変換信号を生成し、変換信号の位相とテストクロックの位相との位相誤差を検出する入出力回路；(ロ) 入出力回路を介して外部と信号を送受信する内部回路を備える半導体集積回路であることを要旨とする。

【0009】

【発明の実施の形態】

次に、図面を参照して、本発明の実施の形態を説明する。この実施の形態における図面の記載において、同一又は類似の部分には同一又は類似の符号を付している。

【0010】

本発明の実施の形態に係る半導体集積回路50aは、図1に示すように、内部回路51、内部回路51に接続された入出力回路60aを備える。内部回路51は、入出力回路60aを介して外部にシリアルデータSSを伝達する。また、内部回路51は、外部からのシリアルデータSDを入出力回路60aを介して受け取る。図1に示す入出力回路60aは、基準クロックSPを発生させる基準クロック発生回路30、基準クロックSP及びテストクロックCLK2のいずれかと同期してシリアルデータSSを送信する信号送信部10、基準クロックSPと同期してシリアルデータSSから変換信号を生成する信号受信部40、信号送信部10がテストクロックCLK2と同期時において、変換信号の位相とテストクロックCLK2の位相との位相誤差を検出するテスト回路20aを備える。基準クロック発生回路30は、半導体集積回路50aの外部から基準端子5を介して伝達される基準信号SRefに応じて、基準クロックSPの周波数を制御する。

【0011】

更に、図1に示す信号受信部40は、入力端子2に接続されたレシーバ41、レシーバ41と基準クロック発生回路30との間に接続されたクロック再生回路42、レシーバ41及びクロック再生回路42に入力側が接続され、内部回路51に出力側が接続されたシリアル／パラレル変換器43を備える。レシーバ41は、半導体集積回路50aの外部からのシリアルデータSDをバッファリングする。クロック再生回路42は、バッファリングされたシリアルデータSD及び基準クロックSPに基づいて再生クロックCLK1を生成する。シリアル／パラレル変換器43は、バッファリングされたシリアルデータSDを再生クロックCLK1と同期してパラレルデータDP2に変換する。

【0012】

一方、図1に示す信号送信部10は、内部回路51に接続されたパラレル／シリアル変換器11、パラレル／シリアル変換器11と出力端子1との間に接続されたドライバ12を備える。パラレル／シリアル変換器11は、基準クロックSPと同期して内部回路51からのパラレルデータDP1をシリアルデータSSに変換する。パラレル／シリアル変換器11は、テスト時においてはテストクロックCLK2と同期して内部回路51からのパラレルデータDP1をシリアルデータ

タSSに変換する。ドライバ12は、パラレル／シリアル変換器11からのシリアルデータSSをバッファリングする。

【0013】

またテスト回路20aは、図1に示すように、第1のテスト端子3及び第2のテスト端子4に入力側が接続され、パラレル／シリアル変換器11に出力側が接続されたセレクタ21、第2のテスト端子4及びクロック再生回路42に入力側が接続され、テスト出力端子6に出力側が接続されたクロック比較回路23を備える。半導体集積回路50aの外部から第2のテスト端子4を介して伝達されるテストクロックCLK2は、例えば、基準クロックSPと位相が異なる固定周波数のクロック信号である。セレクタ21は、半導体集積回路50aの外部から第1のテスト端子3を介して伝達される切り替え信号SCに基づき、基準クロックSP及びテストクロックCLK2のいずれかを選択する。選択された基準クロックSP又はテストクロックCLK2は、パラレル／シリアル変換器11に供給される。更に、クロック比較回路23は、変換信号としての再生クロックCLK1の位相とテストクロックCLK2の位相とを比較して位相誤差情報Soutを生成する。位相誤差情報Soutは、テスト出力端子6を介して例えば半導体集積回路50a外部のロジックアナライザ等に伝達される。

【0014】

図1に示す再生クロックCLK1は、図2に示すクロック比較回路23の比較クロック入力端子25に供給される。図1に示すテストクロックCLK2は、図2に示すテストクロック入力端子24に供給される。クロック比較回路23は、図2に示すように、比較クロック入力端子25に接続された遅延回路部61、テストクロック入力端子24及び遅延回路部61に接続されたラッチ回路部62、テストクロック入力端子24及びラッチ回路部62に接続された排他的論理回路部63、排他的論理回路部63と誤差信号出力端子26との間に接続されたカウンタ部64を備える。

【0015】

図2に示す遅延回路部61は、n段接続された第1～第n遅延回路61a～61nを備える（n；2以上の整数）。ラッチ回路部62は、n段接続された第1

～第nラッチ回路62a～62nを備える。排他的論理和回路部63は、(n-1)段接続された第1～第(n-1)の排他的論理和回路63a～63(n-1)を備える。カウンタ部64は、テストクロック入力端子24に接続されたインバータ回路65及び(n-1)段接続された第1～第(n-1)カウンタ64a～64(n-1)を備える。

【0016】

詳細には、第1遅延回路61aは、図2に示すように、第2遅延回路61bに入力側が接続され、第1ラッチ回路62aに出力側が接続される。第2遅延回路61bは、第3遅延回路61cに入力側が接続され、第2ラッチ回路62bに出力側が接続される。第3遅延回路61cは、第4遅延回路61dに入力側が接続され、第3ラッチ回路62cに出力側が接続される。第4遅延回路61dは、第5遅延回路61eに入力側が接続され、第4ラッチ回路62dに出力側が接続される。第5遅延回路61eは、第6遅延回路61fに入力側が接続され、第5ラッチ回路62eに出力側が接続される。第6遅延回路61fは、図示を省略する第7遅延回路に入力側が接続され、第6ラッチ回路62fに出力側が接続される。図示を省略する第7～第(n-1)遅延回路も同様に構成されている。これに対して第n遅延回路61nは、比較クロック入力端子25に入力側が接続され、第nラッチ回路62nに出力側が接続される。第n遅延回路61nは、再生クロックCLK1を一定時間遅延させ、第n遅延クロックDnを第(n-1)遅延回路に供給する。同様に、第1～第(n-1)遅延回路61a～61(n-1)は、第1～第(n-1)遅延クロックD1～D(n-1)をそれぞれ生成する。

【0017】

また、図2に示す第1ラッチ回路62aは、第1遅延回路61a及びテストクロック入力端子24に入力側が接続され、第1排他的論理和回路63aに出力側が接続される。第2ラッチ回路62bは、第2遅延回路61b及びテストクロック入力端子24に入力側が接続され、第1排他的論理和回路63a及び第2排他的論理和回路63bに出力側が接続される。第3ラッチ回路62cは、第3遅延回路61c及びテストクロック入力端子24に入力側が接続され、第2排他的論理和回路63b及び第3排他的論理和回路63cに出力側が接続される。同様に

、第 n ラッチ回路 6 2 n は、第 n 遅延回路 6 1 n 及びテストクロック入力端子 2 4 に入力側が接続され、第 (n - 1) 排他的論理和回路 6 3 (n - 1) に出力側が接続される。第 1 ラッチ回路 6 2 a は、テストクロック CLK 2 の立ち上りと同期して第 1 遅延クロック D 1 をラッチし、第 1 ラッチ信号 L 1 を第 1 排他的論理和回路 6 3 a に供給する。第 2 ラッチ回路 6 2 b は、テストクロック CLK 2 の立ち上がりと同期して第 2 遅延クロック D 2 をラッチし、第 2 ラッチ信号 L 2 を第 1 排他的論理和回路 6 3 a 及び第 2 排他的論理和回路 6 3 b に供給する。同様に、第 n ラッチ回路 6 2 n は、テストクロック CLK 2 の立ち上りと同期して第 n 遅延クロック D n をラッチし、第 n ラッチ信号 L n を第 (n - 1) 排他的論理和回路 6 3 (n - 1) に供給する。

【0018】

図 2 に示す第 1 排他的論理和回路 6 3 a は、第 1 ラッチ回路 6 2 a 及び第 2 ラッチ回路 6 2 b に入力側が接続され、第 1 カウンタ 6 4 a に出力側が接続される。第 2 排他的論理和回路 6 3 b は、第 2 ラッチ回路 6 2 b 及び第 3 ラッチ回路 6 2 c に入力側が接続され、第 2 カウンタ 6 4 b に出力側が接続される。同様に、第 (n - 1) 排他的論理和回路 6 3 (n - 1) は、第 n ラッチ回路 6 2 n 及び図示を省略する第 (n - 1) ラッチ回路に入力側が接続され、第 (n - 1) カウンタ 6 4 (n - 1) に出力側が接続される。第 1 排他的論理和回路 6 3 a は、第 1 ラッチ信号 L 1 及び第 2 ラッチ信号 L 2 のいずれかがハイレベルの場合にのみ誤差検出信号 E 1 を第 1 カウンタ 6 4 a に供給する。第 2 排他的論理和回路 6 3 b は、第 2 ラッチ信号 L 2 及び第 3 ラッチ信号 L 3 のいずれかがハイレベルの場合にのみ誤差検出信号 E 2 を第 2 カウンタ 6 4 b に供給する。第 3 ~ 第 (n - 1) 排他的論理和回路 6 3 c ~ 6 3 (n - 1) も同様な機能を有する。

【0019】

図 2 に示す第 1 カウンタ 6 4 a は、第 1 排他的論理和回路 6 3 a 及びインバータ回路 6 5 に入力側が接続され、誤差信号出力端子 2 6 に出力側が接続される。第 2 カウンタ 6 4 b は、第 2 排他的論理和回路 6 3 b 及びインバータ回路 6 5 に入力側が接続され、誤差信号出力端子 2 6 に出力側が接続される。同様に、第 (n - 1) カウンタ 6 4 (n - 1) は、第 (n - 1) 排他的論理和回路 6 3 (n -

1) 及びインバータ回路65に入力側が接続され、誤差信号出力端子26に出力側が接続される。第1カウンタ64aは、第1排他的論理和回路63aが生成するハイレベル信号をインバータ回路65が反転したテストクロックCLK2と同期してカウントする。同様に、第(n-1)カウンタ64(n-1)は、第(n-1)排他的論理和回路63(n-1)が生成するハイレベル信号をインバータ回路65が反転したテストクロックCLK2と同期してカウントする。

【0020】

次に、図1～図5を用いて本発明の実施の形態に係る入出力回路60aの動作を説明する。但し、図2に示す遅延回路部61及びラッチ回路部62の段数をそれぞれ8段、また排他的論理和回路部63及びカウンタ部64の段数をそれぞれ7段とした場合について説明する。

【0021】

(イ) 先ず、図1に示す基準クロック発生回路30は、基準信号SRefに応じて多相クロックである基準クロックSPを発生させる。基準クロックSPは、例えば図3(a)～(d)に示すように、互いに位相が45°異なるクロック信号群SP1～SP4である。図1に示すセレクタ21は、基準クロックSPをパラレル／シリアル変換器11に伝達する。パラレル／シリアル変換器11は、基準クロックSPと同期して内部回路51からのパラレルデータDP1をシリアルデータSSに変換する。ドライバ12は、パラレル／シリアル変換器11からのシリアルデータSSをバッファリングする。

【0022】

(ロ) 次にテストが開始されると、図1に示す第2のテスト端子4を介してテストクロックCLK2がセレクタ21及びクロック比較回路23に供給される。更に、第1のテスト端子3を介してセレクタ21に切り替え信号SCが供給される。切り替え信号SCがセレクタ21に供給されると、セレクタ21はテストクロックCLK2をパラレル／シリアル変換器11に供給する。パラレル／シリアル変換器11は、テストクロックCLK2と同期して内部回路51からのパラレルデータDP1をシリアルデータSSに変換する。

【0023】

(ハ) 次に、レシーバ41は、ドライバ12からのシリアルデータSSを受信してバッファリングする。また、図1に示すクロック再生回路42は、図3(e)に示すように、図3(a)～(d)に示す基準クロックSP1～SP4に基づいて再生クロックCLK1を生成する。具体的には、クロック再生回路42は、バッファリング後のシリアルデータSDの定常状態時に再生クロックCLK1が立ち上がるよう動作する。したがって、図3(f)に示すバッファリング後のシリアルデータSDが定常状態時の時刻t1、t2、t3、t4において、図3(e)に示すように、再生クロックCLK1の立ち上りエッジが生成されている。

【0024】

(ニ) 次に、図2に示す第1～第8遅延回路61a～61hは、図4(a)～(h)に示すように、第1～第8遅延クロックD1～D8をそれぞれ生成する。図4(h)に示す第8遅延クロックD8は時刻Hにおいて立ち上がる。図4(g)に示す第7遅延クロックD7は、時刻Hよりも一定時間遅延した時刻Gにおいて立ち上がる。同様に、図4(a)に示す第1遅延クロックD1は、図4(b)に示す第2遅延クロックD2の立ち上り時刻Bよりも一定時間遅延した時刻Aにおいて立ち上がる。一方テストクロックCLK2は、図4(i)に示すように、時刻Eにおいて立ち上がる。

【0025】

(ホ) 次に、図2に示す第1～第8ラッチ回路62a～62hは、図4(a)～(h)に示す第1～第8遅延クロックD1～D8を図4(i)に示すテストクロックCLK2の立ち上りと同期してそれぞれラッチする。この結果、図2に示す第1～第5ラッチ信号L1～L5はハイレベルとなる。第6～第8ラッチ信号L6～L8(図示せず)はローレベルとなる。

【0026】

(ヘ) 次に、図2に示す排他的論理回路部63は、第1～第8ラッチ信号L1～L8の変化時において、ハイレベル信号をカウンタ部64に供給する。図2に示す第5排他的論理回路63eは、第5カウンタ64eにハイレベル信号を供給する。これに対して第1～第4排他的論理回路63a～63d及び第6～

第8排他的論理和回路63f～63h（図示せず）は、ローレベル信号を生成する。

【0027】

（ト）次に、図2に示す第5カウンタ64eは、第5排他的論理和回路部63eから供給されるハイレベル信号をテストクロックCLK2と同期してカウントする。カウンタ部64が生成するカウント値は、誤差信号出力端子26を介して図1に示すテスト出力端子6に位相誤差情報Soutとして伝達される。図5（a）に示す位相誤差情報Soutは、分布データの時間的な広がりが小さい。即ち、再生クロックCLK1の位相とテストクロックCLK2の位相とにズレが少なく、再生クロックCLK1が正常に生成されている。

【0028】

（チ）一方、図5（b）に示すように分布データの時間的な広がりが大きく、急激にカウント値が変化する位相誤差情報Soutがカウンタ部64から供給された場合、再生クロックCLK1の位相とテストクロックCLK2の位相とに若干ズレがあると判断できる。しかし、再生クロックCLK1の周波数とテストクロックCLK2の周波数とは略等しく、ランダムなノイズ成分は少ない。また、図5（c）に示すように位相誤差情報Soutの分布データの時間的な広がりが大きく、カウント値の変化が少ない場合、再生クロックCLK1の位相とテストクロックCLK2の位相とは大きくズレている。更に、再生クロックCLK1にはランダムなノイズ成分が多く含まれている。

【0029】

このように、本発明の実施の形態に係る入出力回路60aによれば、クロック比較回路23により、テストクロックCLK2の位相と変換信号の位相、即ち再生クロックCLK1の位相との位相誤差を検出できる。よって、クロック比較回路23が生成する位相誤差情報Soutに基づいて、クロック再生回路42が正常に動作しているか否かを即座に判断できる。したがって、短時間で自己テストを実行可能な半導体集積回路50aを提供できる。

【0030】

なお、実施の形態の第1の変形例に係る半導体集積回路50bとして、例えば

図6に示すように、内部回路51が発生させるクロック信号をテストクロックCLK2として利用しても良い。即ち、基準クロックSPと位相が異なるクロック信号であればテストクロックCLK2として利用できる。内部回路51がデジタル回路である場合、通常、内部回路51はPLL回路及び水晶発振器等の同期信号生成用のクロック信号源を内蔵する。図6に示す入出力回路60bによれば、テストクロックCLK2を半導体集積回路50bの内部回路51が供給する為、図1に示す第2のテスト端子4を不要とすることが出来る。

【0031】

また、実施の形態の第2の変形例に係る半導体集積回路50cとして、図7に示すように、テスト回路20cが第2のテスト端子4に接続されたテストクロック生成回路22を備える構成でも良い。テストクロック生成回路22としては、例えば電圧制御発振器(VCO)が利用できる。図7に示す第2のテスト端子4には直流電圧が印加される。テストクロック生成回路22としてVCOを用いる場合、第2のテスト端子4に印加する直流電圧の電圧値と比例させてVCOの発振周波数を制御できる。図7に示す入出力回路60cによれば、テストクロックCLK2を可変とする構成なので、テスト回路20cにより高速動作テスト及び低速動作テストを実施できる。

【0032】

更に、実施の形態の第3の変形例に係る半導体集積回路50dとして、図8に示すように、クロック比較回路23が、パラレルデータDP2を変換信号としてテストクロックCLK2と比較する構成でも良い。クロック比較回路23は、パラレルデータDP2の位相とテストクロックCLK2の位相とを比較する。即ち、図2に示す比較クロック入力端子25にパラレルデータDP2が供給される。したがって、図8に示す入出力回路60dは、シリアル/パラレル変換器43が正常に動作するか否かをテストできる。また、テストクロックCLK2を可変とすることにより、テスト回路20dがシリアル/パラレル変換器43の高速動作テスト及び低速動作テストを実施できる。

【0033】

(その他の実施の形態)

上記のように、本発明は実施の形態によって記載したが、この開示の一部をなす論述及び図面はこの発明を限定するものであると理解すべきではない。この開示から当業者には様々な代替実施の形態、実施例及び運用技術が明らかとなろう。

【0034】

既に述べた実施の形態の第2の変形例及び実施の形態の第3の変形例においても、実施の形態の第1の変形例と同様に内部回路51がテストクロックCLK2を生成する構成でも良い。また、実施の形態の第2の変形例及び実施の形態の第3の変形例において、実施の形態と同様に半導体集積回路50c、50dの外部から第2のテスト端子4を介して伝達されるテストクロックCLK2を利用しても良い。

【0035】

また、上述した実施の形態の説明において、位相誤差情報Soutをロジックアナライザにより測定する一例を説明した。しかし、位相誤差情報Soutの判定回路を用いて自動的に半導体集積回路を検査することが可能である。また、クロック比較回路23が位相誤差情報Soutをシリアルデータで生成する一例を説明したが、位相誤差情報Soutはパラレルデータであってもよい。

【0036】

上述した実施の形態の説明においては、内部回路51がパラレルデータDP1、DP2を入出力するとして説明したが、シリアルデータを入出力してもよい。この場合、図1に示すドライバ12が基準クロックSP又はテストクロックCLK2と同期してシリアルデータを送信する。

【0037】

更に、実施の形態の第3の変形例に係る入出力回路60dは、クロック比較回路23が、テストクロックCLK2と再生クロックCLK1とを更に比較する構成でも良い。即ち、クロック比較回路23を複数設けることにより、より信頼性が高くテストを実行できる。

【0038】

このように本発明は、ここでは記載していない様々な実施の形態等を包含する

ということを理解すべきである。したがって、本発明はこの開示から妥当な特許請求の範囲の発明特定事項によってのみ限定されるものである。

【0039】

【発明の効果】

本発明によれば、短時間で自己テストを実行可能な入出力回路及び半導体集積回路を提供できる。

【図面の簡単な説明】

【図 1】

本発明の実施の形態に係る半導体集積回路の構成を示すブロック図である。

【図 2】

本発明の実施の形態に係るクロック比較回路の回路図である。

【図 3】

本発明の実施の形態に係る半導体集積回路の動作を示すタイムチャートである。

。

【図 4】

本発明の実施の形態に係るクロック比較回路の動作を示すタイムチャートである。

【図 5】

図5 (a) ~ (c) は、本発明の実施の形態に係るクロック比較回路の出力信号例を示すグラフである。

【図 6】

本発明の実施の形態の第1の変形例に係る半導体集積回路の構成を示すブロック図である。

【図 7】

本発明の実施の形態の第2の変形例に係る半導体集積回路の構成を示すブロック図である。

【図 8】

本発明の実施の形態の第3の変形例に係る半導体集積回路の構成を示すブロック図である。

【符号の説明】

- 1 …出力端子
- 2 …入力端子
- 3 …第 1 のテスト端子
- 4 …第 2 のテスト端子
- 5 …基準端子
- 6 …テスト出力端子
 - 1 0 …信号送信部
 - 1 1 …パラレル／シリアル変換器
 - 1 2 …ドライバ
 - 2 0 a ~ 2 0 d …テスト回路
 - 2 1 …セレクタ
 - 2 2 …テストクロック生成回路
 - 2 3 …クロック比較回路
 - 2 4 …テストクロック入力端子
 - 2 5 …比較クロック入力端子
 - 3 0 …基準クロック発生回路
 - 3 0 …PLL 回路
 - 4 0 …信号受信部
 - 4 1 …レシーバ
 - 4 2 …クロック再生回路
 - 4 3 …シリアル／パラレル変換器
- 5 0 a ~ 5 0 d …半導体集積回路
- 5 1 …内部回路
- 6 0 a ~ 6 0 d …入出力回路
- 6 1 …遅延回路部
- 6 1 a ~ 6 1 n …遅延回路
- 6 2 …ラッチ回路部
- 6 2 a ~ 6 2 n …ラッチ回路

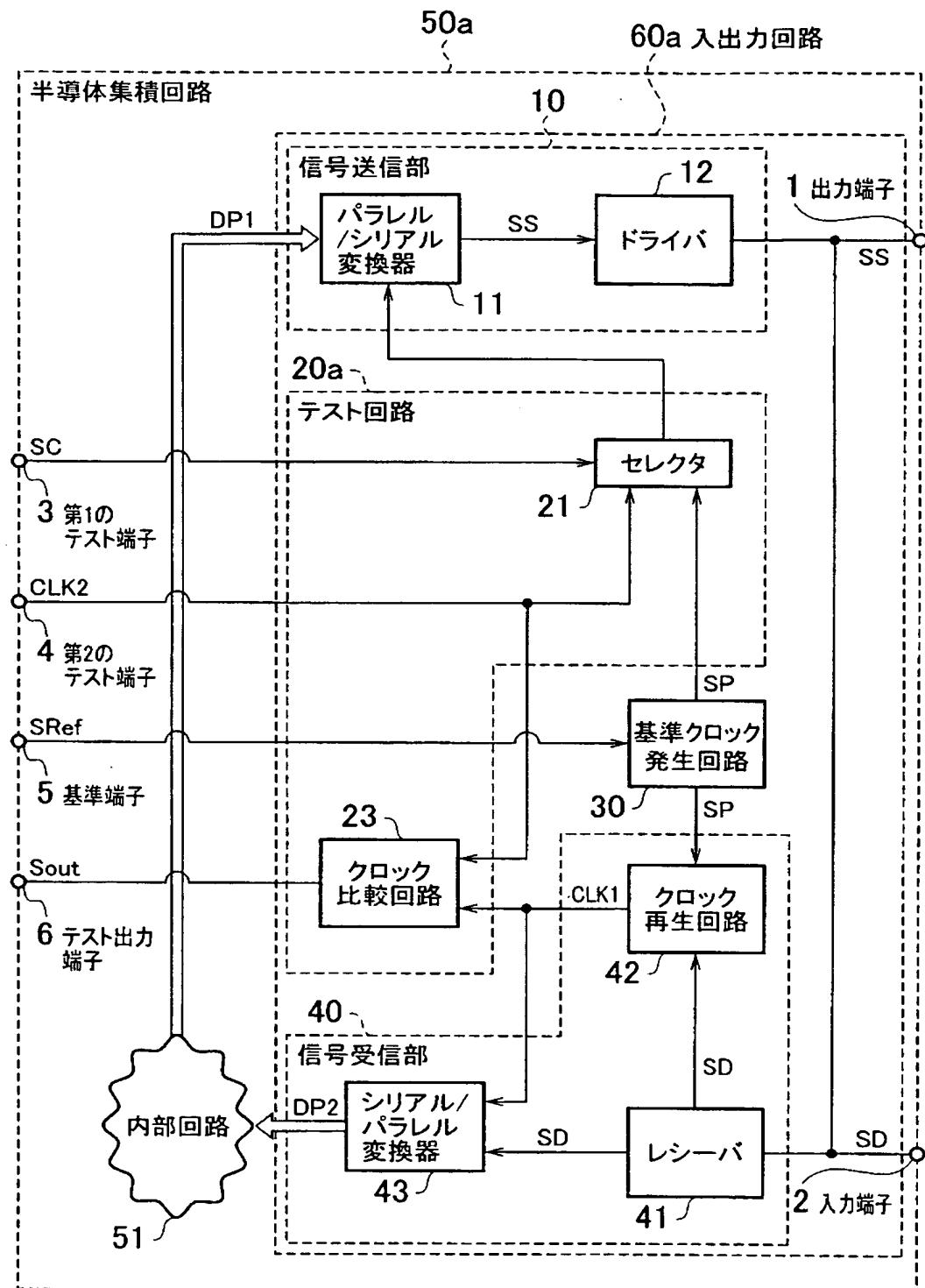
6 3 …排他的論理和回路部

6 4 …カウンタ部

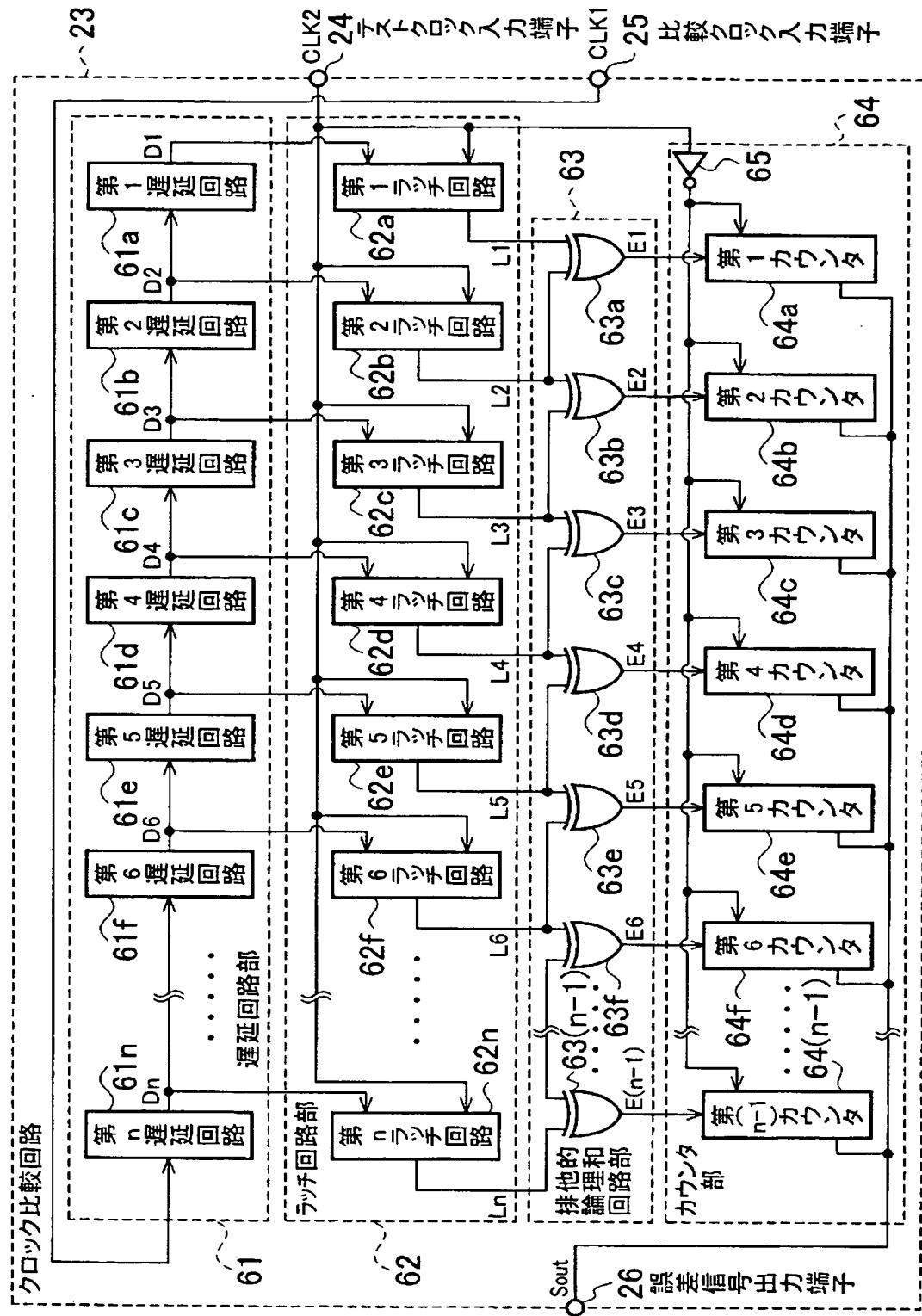
6 5 …インバータ回路

【書類名】 図面

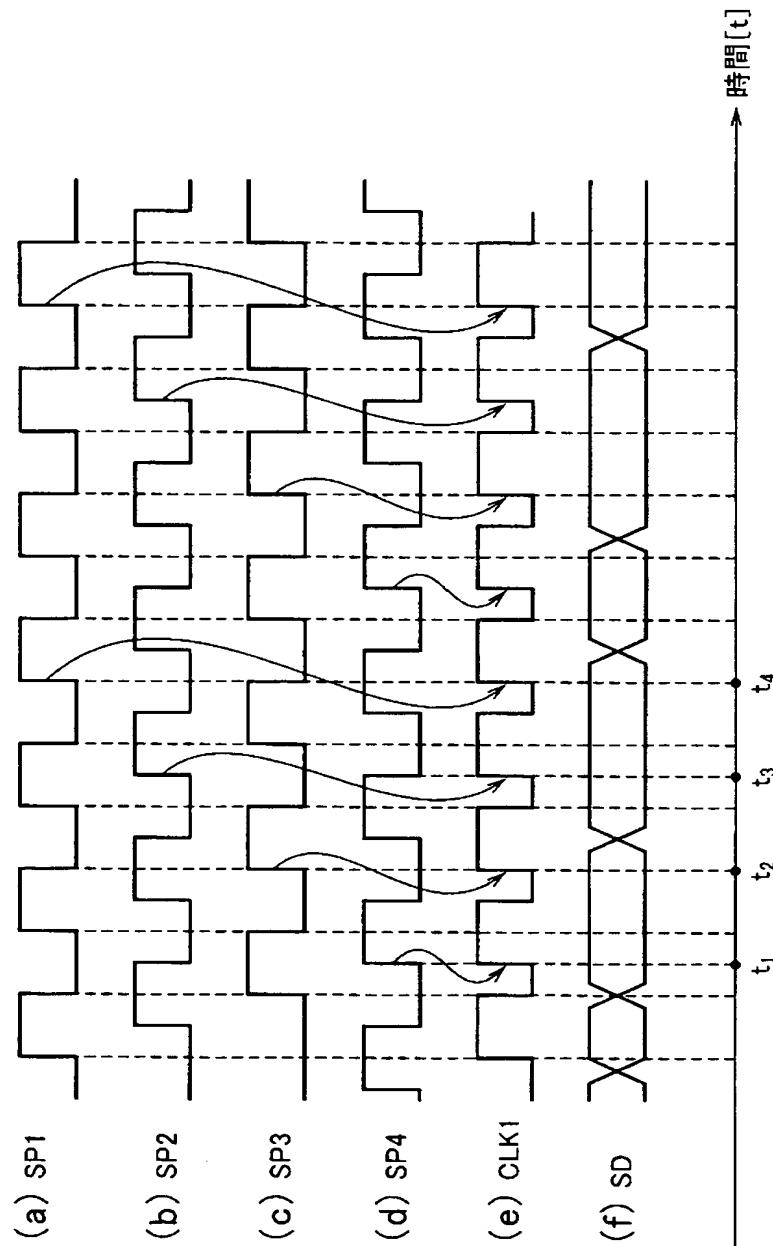
【図 1】



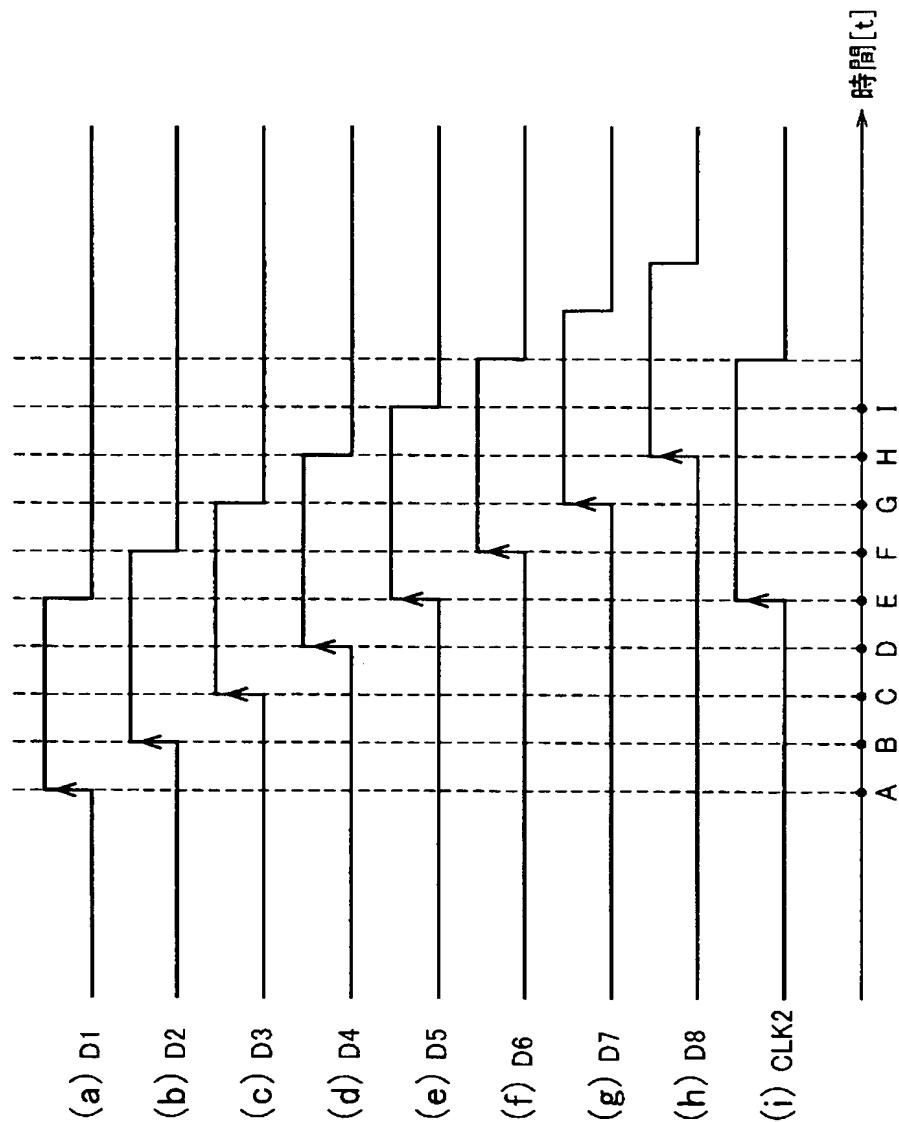
【図2】



【図3】

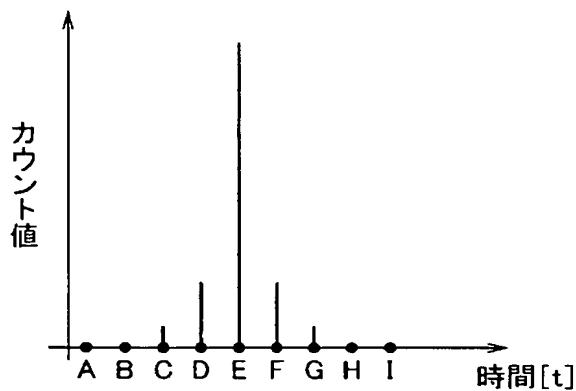


【図4】

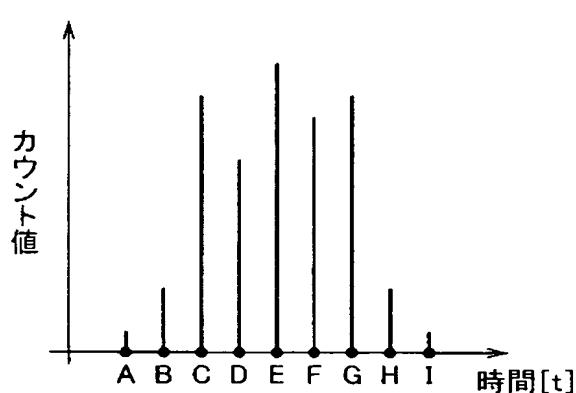


【図 5】

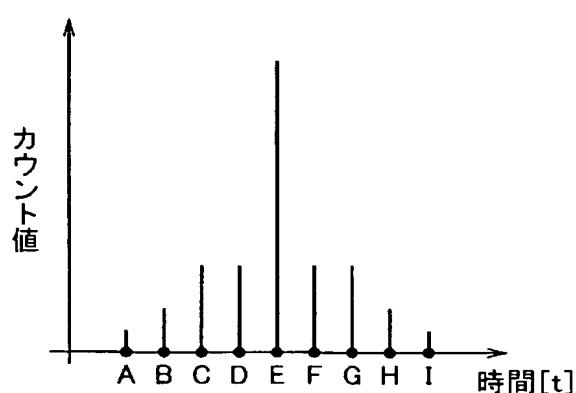
(a)



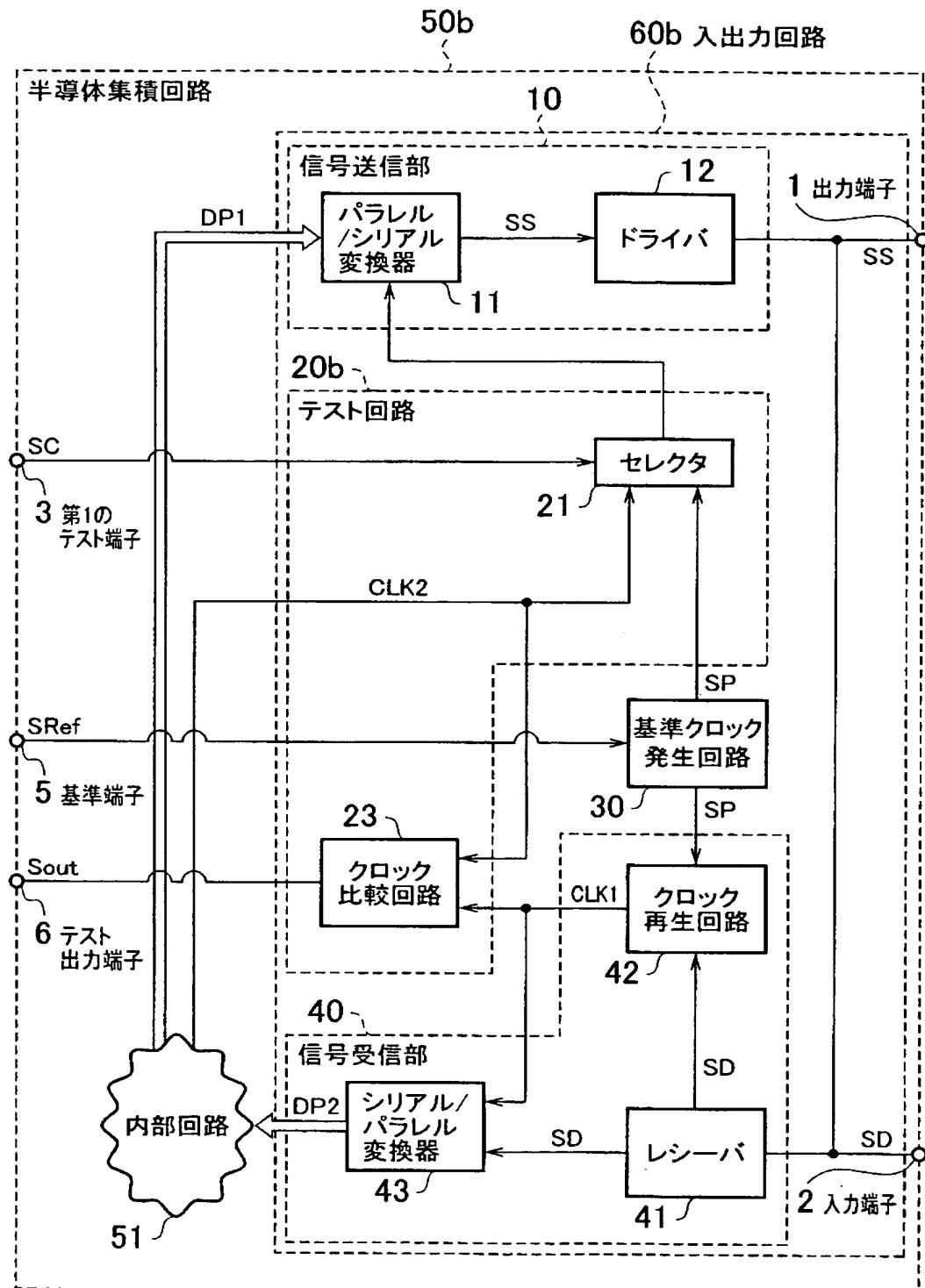
(b)



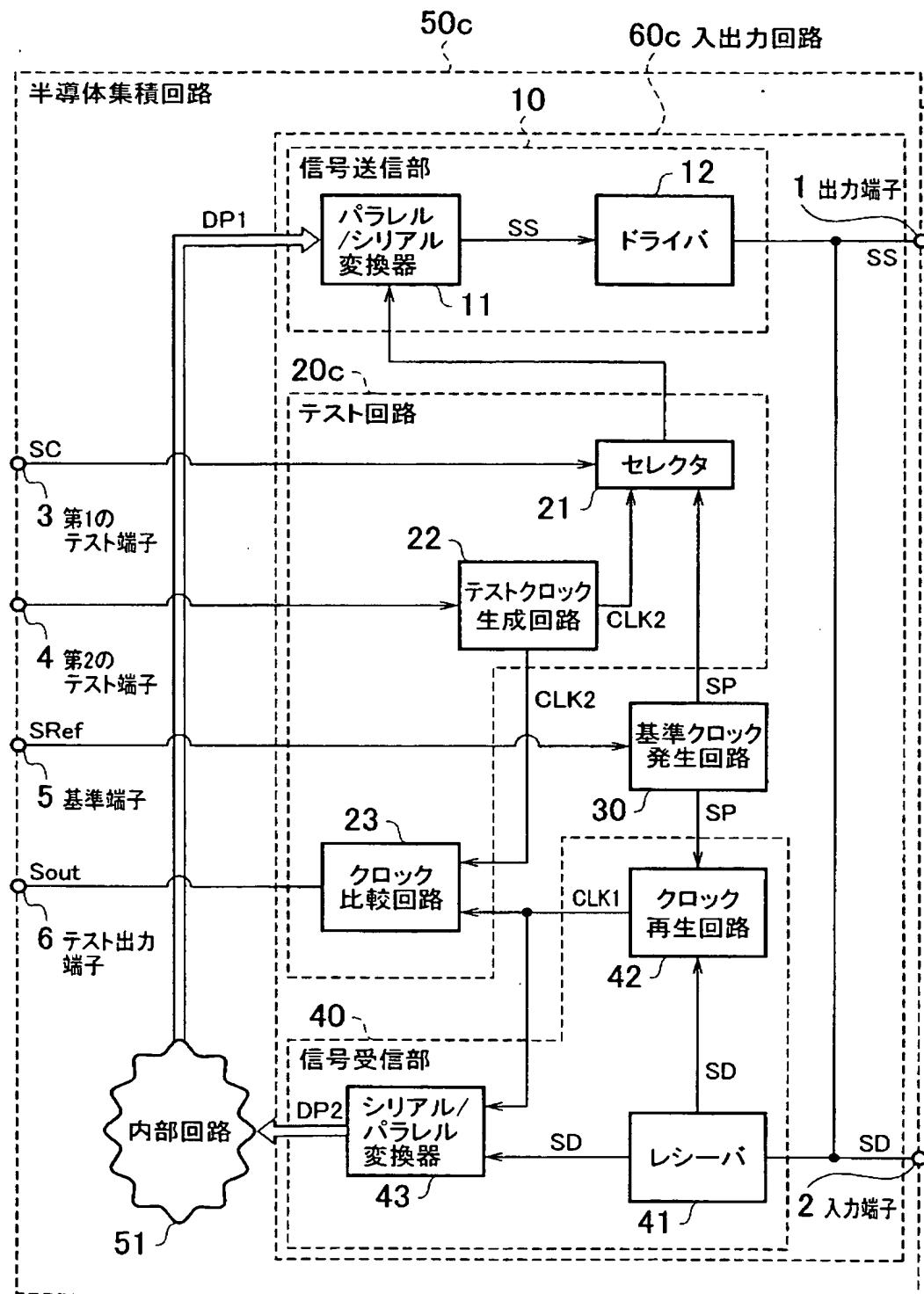
(c)



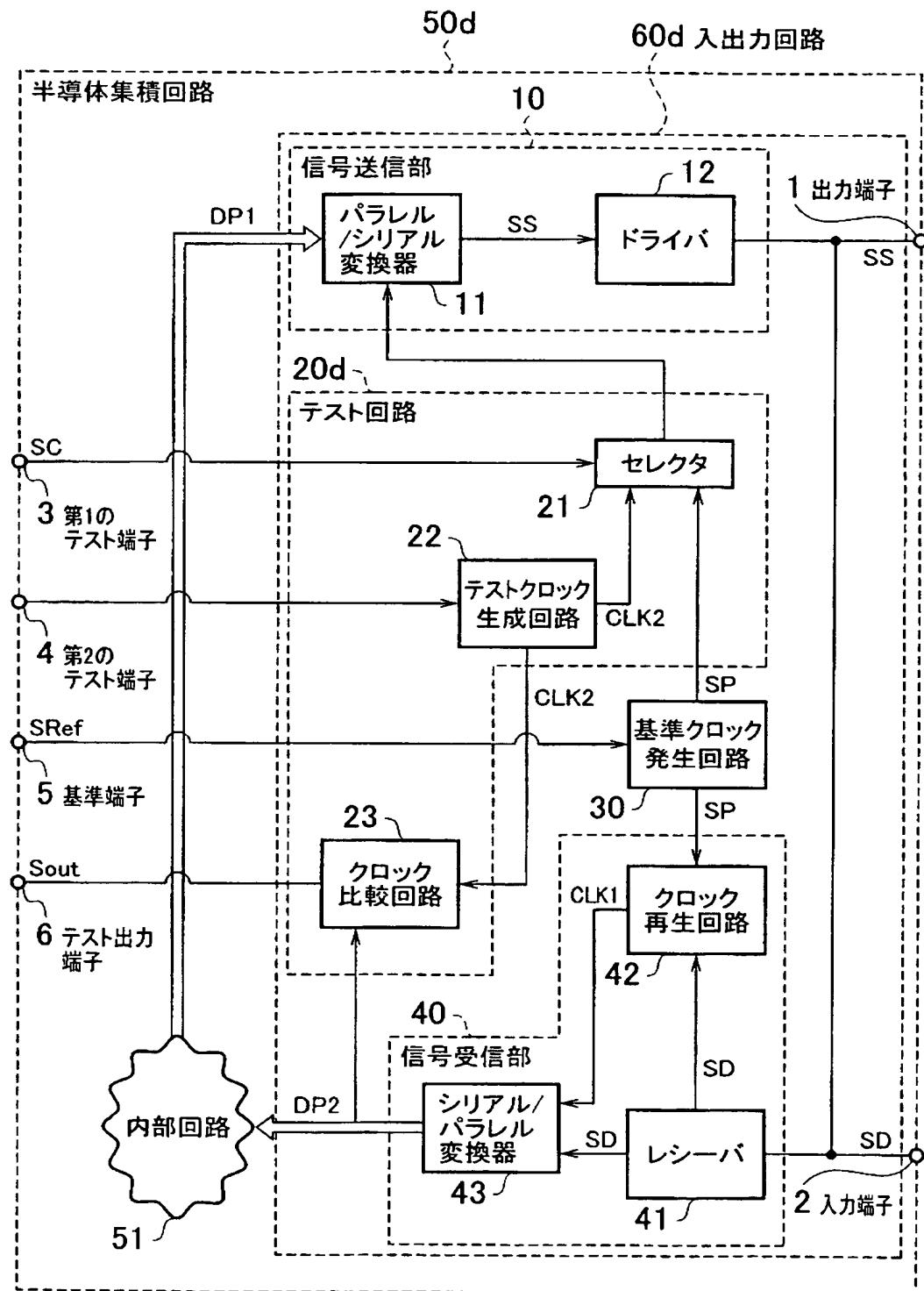
【図 6】



【図 7】



【図 8】



【書類名】 要約書

【要約】

【課題】 短時間で自己テストを実行可能な入出力回路及び半導体集積回路を提供する。

【解決手段】 基準クロックSPを発生させる基準クロック発生回路30、基準クロックSP又はテストクロックCLK2と同期してシリアルデータSSを送信する信号送信部10、基準クロックSPと同期してシリアルデータSSを変換して変換信号を生成する信号受信部40、信号送信部10がテストクロックCLK2と同期時に、変換信号の位相とテストクロックCLK2の位相との位相誤差を検出するテスト回路20aを備える。

【選択図】 図1

特願 2003-124285

出願人履歴情報

識別番号 [000003078]

1. 変更年月日 2001年 7月 2日

[変更理由] 住所変更

住 所 東京都港区芝浦一丁目1番1号
氏 名 株式会社東芝